

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-335174

(43)Date of publication of application : 17.12.1993

(51)Int.Cl.

H01G 4/12

H01G 4/12

H01C 7/10

H01G 4/30

H01L 41/09

(21)Application number : 04-164182

(71)Applicant : MURATA MFG CO LTD

(22)Date of filing : 28.05.1992

(72)Inventor : TAKESHIMA YUTAKA  
ANDO AKIRA  
YONEDA YASUNOBU

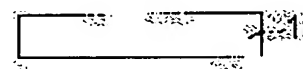
## (54) LAMINATED CERAMIC ELECTRONIC COMPONENT

(57)Abstract:

PURPOSE: To realize a laminated ceramic electronic component lessened in thickness and enhanced in performance.

CONSTITUTION: A ceramic-metal laminate 4 composed of conductor electrodes 2a and 2b formed through a CVD method, an evaporation method, or a sputtering method and ceramic layers 3 laminated through a CVD method is provided onto an SrTiO<sub>3</sub> substrate 1. In succession, outer electrodes 5a and 5b are formed on both the ends of the laminate 4 through dipping or the like, and thus a small laminated ceramic capacitor 6 is obtained.

(a)



(b)



(c)



## LEGAL STATUS

[Date of request for examination] 26.05.1999

[Date of sending the examiner's decision of rejection] 20.02.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

**\* NOTICES \***

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] Laminating ceramic electronic parts characterized by carrying out the laminating of the conductor electrode of two or more layers, and the two or more layers ceramic layer formed by the CVD method by turns on the surface of a substrate.

[Claim 2] Laminating ceramic electronic parts according to claim 1 characterized by said ceramic layer being a dielectric.

---

[Translation done.]

**\* NOTICES \***

**JPO and NCIPi are not responsible for any damages caused by the use of this translation.**

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to laminating ceramic electronic parts. Speaking concretely, being related with laminating ceramic electronic parts, such as a stacked type ceramic condenser widely used for electronic parts, such as a video tape recorder, a laminating varistor, a laminating piezoelectric device, and a multilayered ceramic substrate.

[0002]

[Description of the Prior Art] The manufacture approach of the conventional stacked type ceramic condenser is explained (not shown). First, after printing electrode paste (internal electrode), such as a silver system paste, and making it dry on the ceramic student sheet cut into bigger predetermined magnitude than a component dimension, two or more ceramic student sheets with which this electrode paste was printed are made to stick by pressure in piles. Subsequently, this is cut into the magnitude of one element and calcinated. After baking, as it is made to flow with an internal electrode, electrode paste is applied on the surface of a component, this can be burned, an external electrode is formed in the both ends of a component, and the chip-like stacked type ceramic condenser is manufactured.

[0003]

[Problem(s) to be Solved by the Invention] In recent years, in the field of electronic parts, much more micrifying and high-performance-izing of a stacked type ceramic condenser etc. of electronic parts are desired with the densification and high integration of an electronic circuitry. Therefore, in a stacked type ceramic condenser, in order to micrify without making capacity small, to make thickness of a ceramic layer (dielectric layer) as thin as possible is desired.

[0004] However, when it was going to make thickness of a ceramic layer thin in a laminating ceramic condenser like before, there were various problems. First, although it is necessary to make small ceramic raw material powder particle size in order to make a ceramic layer thin, there is a limit in micrifying of the particle size of ceramic raw material powder. Moreover, if a ceramic layer is made thin, since the thickness of an internal electrode is also thin and it is necessary to carry out, in a baking process, it is easy to produce an electrode piece in an internal electrode. Furthermore, if a ceramic layer is made thin, short-circuit will occur with abnormality growth of the internal electrode at the time of baking, or the problem of pressure-proofing falling with the hole generated in the ceramic layer will arise. For this reason, if it was in the conventional stacked type ceramic condenser, it was impossible to have made thickness of a ceramic layer thinner than several micrometers, and there was a limitation in micrifying and large-capacity-izing of a stacked type ceramic condenser.

[0005] The place which this invention is made in view of the fault of the above-stated conventional example, and is made into the purpose is to carry out lamination of the ceramic layer, realizing high performance of laminating ceramic electronic parts.

[0006]

[Means for Solving the Problem] The laminating ceramic electronic parts of this invention are characterized by carrying out the laminating of the conductor electrode of two or more layers, and the two or more layers ceramic layer formed by the CVD method by turns on the surface of a substrate.

[0007] Moreover, the above-mentioned ceramic layer may be a dielectric.

[0008]

[Function] If it is in this invention, since the ceramic layer is formed by the CVD method, a precise ceramic layer is formed, moreover, since it does not pass through heating processes, such as baking, it is hard to produce defects, such as an electrode piece of a conductor electrode, and short-circuit, and high performance-ization as electronic parts is attained.

[0009] Furthermore, since the ceramic layer is formed by the CVD method, the lamination 1 micrometer or less of a ceramic layer becomes possible, and micro laminating ceramic electronic parts are obtained.

[0010] Moreover, since it is not necessary to remove the substrate used at the time of membrane formation of the ceramic layer by the CVD method, the production process of laminating ceramic electronic parts can be simplified. Furthermore, by leaving the substrate into laminating ceramic electronic parts, the mechanical strength of laminating ceramic electronic parts can be raised, and the dependability as electronic parts can be increased.

[0011]

[Example] Drawing 1 (a), (b), and (c) show the manufacture approach of the stacked type ceramic condenser by one example of this invention. A front face is the smooth substrate 1, for example, what is shown in drawing 1 (a) can use SrTiO<sub>3</sub> substrate etc. As shown on this substrate 1 at drawing 1 (b), the ceramic layer 3 is formed, conductor electrode 2a of the 1st layer is formed on it, the ceramic layer 3 is again formed on it, conductor electrode 2b of a two-layer eye is formed further, the ceramic layer 3 is formed further, and conductor electrode 2a of the 3rd layer is formed on it. By repeating such a process, the laminating of conductor electrode 2a, 2b, and every two or more layers of the ceramic layers 3 is carried out to the front face of a substrate 1 by turns, and the ceramic-metal layered product 4 which consists of two or more layers conductor electrode 2a, 2b, and the two or more layers ceramic layer 3 is formed. Here, each ceramic layer 3 is formed by the CVD method, each conductor electrode 2a and 2b are formed of the spatter etc., and thickness of each ceramic layer 3 and each conductor electrode 2a, and 2b is set to 1 micrometer or less. Moreover, conductor electrode 2a used as an internal electrode and 2b are patternized using the mask, and conductor electrode 2a of the oddth layer and conductor electrode 2b of the eventh layer are pulled out by turns to the edge of the opposite side. Then, if the external electrodes 5a and 5b are formed in both ends by dipping, a spatter, etc., conductor electrode 2a of the oddth layer will flow with one external electrode 5a, conductor electrode 2b of the eventh layer will flow with external electrode 5b of another side, and the small laminating ceramic condenser 6 as shown in drawing 1 (c) will be manufactured.

[0012] Consequently, a stacked type ceramic condenser 6 is formed on a substrate 1, with a substrate 1, the mechanical strength of a stacked type ceramic condenser 6 can be raised, and the dependability as electronic parts improves.

[0013] In addition, although drawing 1 explains one production process, a laminating ceramic condenser can be efficiently manufactured by manufacturing two or more elements to coincidence.

[0014] Below, a concrete example is hung up and explained in order to explain this invention more clearly. Concrete example drawing 2 is the outline block diagram of heat CVD system 7 used for manufacture of a stacked type ceramic condenser 6. A susceptor for the chamber for CVD in 8 and 9 to set a substrate 1, The feed way of 10O<sub>2</sub> gas and 11 the feed way of Ar carrier gas, and 12 The bessel of TIP [titanium isopropoxide], 13 is the bessel of Pb (C<sub>2</sub>H<sub>5</sub>)<sub>4</sub>, 14 is the bessel of La (DPM) [DPM=C<sub>11</sub>H<sub>19</sub>O<sub>2</sub>]<sub>3</sub>, and each bessels 12, 13, and 14 of TIP, Pb (C<sub>2</sub>H<sub>5</sub>)<sub>4</sub>, and La (DPM)<sub>3</sub> are arranged on the feed way 11 of Ar carrier gas at juxtaposition.

[0015] This SrTiO<sub>3</sub> substrate 1 was set on the susceptor 9 of heat CVD system 7, using SrTiO<sub>3</sub> substrate with 50mm [ of every direction / each ], and a thickness of 0.2mm as a substrate 1 for manufacturing a stacked type ceramic condenser 6.

[0016] Subsequently, where a susceptor 9 is heated at 600 degrees C, each bulbs 15, 16, and 17 of each bessels 12, 13, and 14 of TIP, Pb (C<sub>2</sub>H<sub>5</sub>)<sub>4</sub>, and La (DPM)<sub>3</sub> are opened. Each material gas of TIP, Pb (C<sub>2</sub>H<sub>5</sub>)<sub>4</sub>, and La (DPM)<sub>3</sub> which were evaporated is put on Ar carrier gas. To a chamber 8 Delivery, This material gas was made to spray and react to SrTiO<sub>3</sub> substrate 1 with O<sub>2</sub> gas, and the PLT thin film 18 (ceramic layer 3) with a thickness of about 1 micrometer was formed (henceforth a PLT film formation process).

[0017] Next, the metal mask was set on the PLT thin film 18, and with a thickness of about 0.5 micrometers Pt film 19a (conductor electrode 2a) was formed on the PLT thin film 18 by the spatter through the aperture of a metal mask (henceforth the 1st process of Pt film formation). Thus, formed Pt film 19a is shown in drawing 3 (a). Drawing 3 (b) is the X section enlarged drawing of drawing 3 (a), the field which gave the slash shows the

field equivalent to one element, and the figure written down in drawing 3 (b) shows the dimension (unit mm) of each part.

[0018] Subsequently, the PLT film formation process was made to generate about 1 micrometer of PLT thin films 18 again.

[0019] Next, the metal mask was set on the PLT thin film 18 of the maximum upper layer, and with a thickness of about 0.5 micrometers Pt film 19b (conductor electrode 2b) was formed on the PLT thin film 18 by the spatter (henceforth the 2nd process of Pt film formation). Drawing 4 (a) shows the pattern of this Pt film 19b. Drawing 4 (b) is the Y section enlarged drawing of drawing 4 (a), the field which gave the slash shows the field equivalent to one element, and the figure written down in drawing 3 (b) shows the dimension (unit mm).

[0020] the [ thus, / PLT thin film formation-Pt film formation ] -- each process of the 1-PLT thin film formation-Pt film formation 2nd was repeated 300 times, finally the PLT film formation process was performed, and the ceramic-metal layered product 4 was obtained on SrTiO<sub>3</sub> substrate 1.

[0021] then, along with the broken line C (end cost -- it could be Ct=0.1mm) of drawing 3 (b) and drawing 4 (b), the ceramic-metal layered product 4 was cut for every component with the dicing saw. Ag paste was attached to the both ends of SrTiO<sub>3</sub> substrate 1 which it cut into one element at a time by dipping, it could be burned at 600 degrees C, and the external electrodes 5a and 5b were formed.

[0022] In this way, die length of about 2mm, 1.2mm of \*\*\*\*, and the stacked type ceramic condenser 6 with a thickness of about 1.2mm were obtained. When the capacity of this stacked type ceramic condenser 6 was measured, it was 4.7 micro F in value.

[0023] measurement of anti-chip box reinforcement -- next, it measured using the anti-chip box measuring device 20 on the strength as shows the anti-chip box reinforcement of this stacked type ceramic condenser 6 to drawing 5. In drawing 5, 21 is a sample maintenance base, the stacked type ceramic condenser 6 used as a specimen has both ends held on the slot 22 of the sample maintenance base 21, and a center section is pressurized by the pressurization pin 23. And the pressure of the pressurization pin 23 places and it is displayed by the tension gauge 24 with a needle. On the occasion of this measurement, spacing L of the slot 22 of the sample maintenance base 21 was set to 1.4mm.

[0024] on the other hand -- a comparison sake -- the [ above-mentioned / PLT thin film formation-Pt film formation ] -- after repeating each process of the 1-PLT thin film formation-Pt film formation 2nd like the example and obtaining a ceramic-metal layered product, dry etching removed SrTiO<sub>3</sub> substrate, it cut for every element after that, the external electrode could be burned on both ends, and the stacked type ceramic condenser of the example of a comparison which does not have a substrate was produced. The dimension of this stacked type ceramic condenser was about 0.9mm in die length of about 2mm, 1.2mm of \*\*\*\*, and thickness. The anti-chip box reinforcement of the stacked type ceramic condenser of this example of a comparison was measured.

[0025] The maximum load of an example and the example of a comparison and the measurement result of anti-chip box reinforcement are shown in Table 1. In addition, it asked for anti-chip box reinforcement by the degree type.

$$\sigma = (3PL) / (2\omega t^2)$$

Here, P is maximum load (kgf) and is the graduation of a tension gauge when a test piece breaks. Moreover, L is [ the width of face (mm) of a test piece and t of the distance between the lower supporting points (mm) and  $\omega$  ] the thickness (mm) of a test piece.

[0026]

[Table 1]

	最大荷重 (kgf)	抗折強度 (MPa)
実施例	22	260
比較例	7.5	160

[0027] According to Table 1, with the stacked type ceramic condenser of an example, as compared with the example of a comparison, anti-chip box reinforcement is large sharply, and the mechanical strength is improving.

[0028]

[Effect of the Invention] Since according to this invention the precise film is obtained and neither a ceramic layer nor a conductor electrode is moreover put to an elevated temperature, even if it carries out lamination of a ceramic layer or the conductor electrode to 1 micrometer or less, it is hard to produce a defect in a ceramic layer or a conductor electrode, and laminating ceramic electronic parts [ that it is highly efficient and micro (super-thin shape) ] can be obtained.

[0029] Moreover, by leaving the substrate into laminating ceramic electronic parts, the mechanical strength of laminating ceramic electronic parts can be raised, and the dependability as electronic parts can be increased. Furthermore, since it is not necessary to remove the substrate used at the time of membrane formation of the ceramic layer by the CVD method, there is an advantage that the production process of laminating ceramic electronic parts can be simplified.

---

[Translation done.]

## \* NOTICES \*

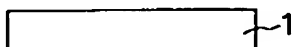
JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

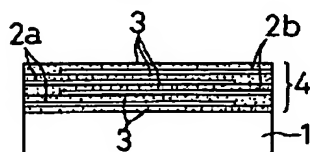
## DRAWINGS

[Drawing 1]

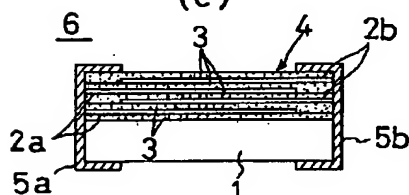
(a)



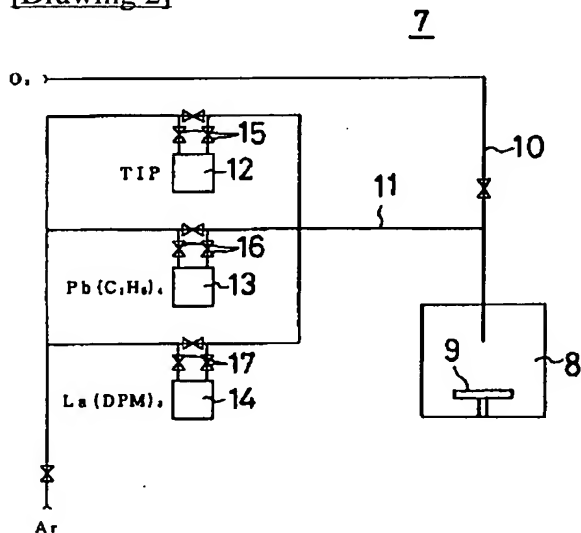
(b)



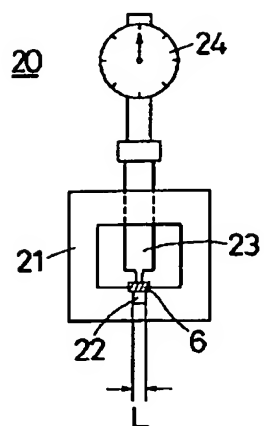
(c)



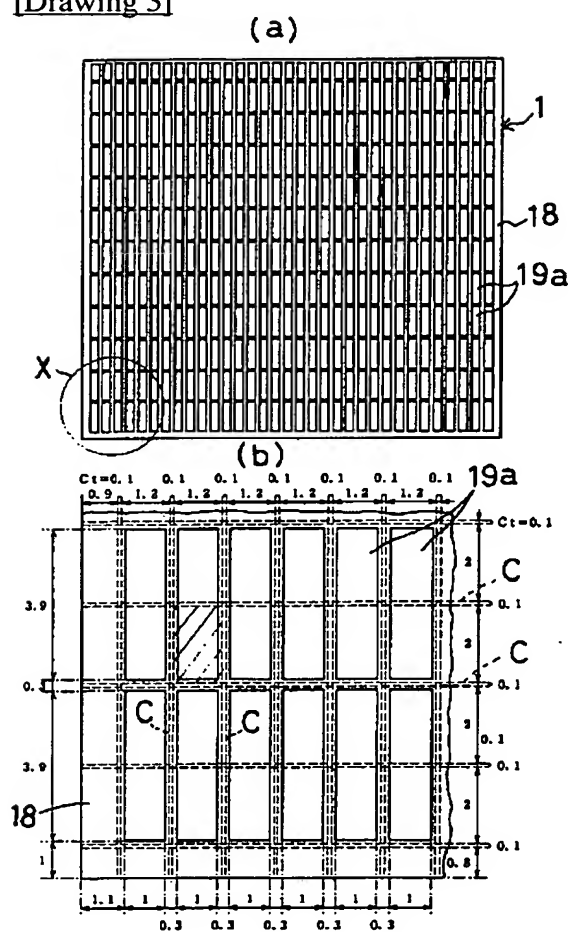
[Drawing 2]



[Drawing 5]



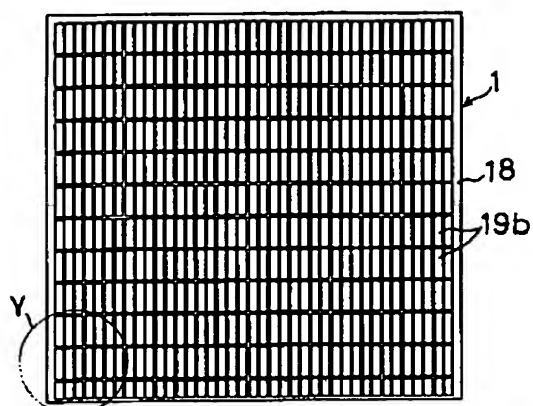
[Drawing 3]



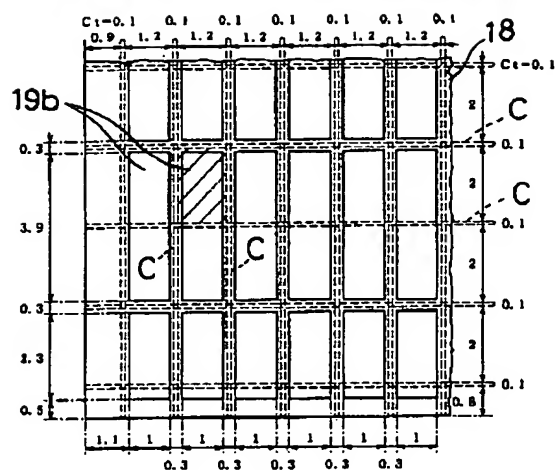
[Drawing 4]



(a)



(b)



[Translation done.]

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-335174

(43)Date of publication of application : 17.12.1993

(51)Int.Cl.

H01G 4/12

H01G 4/12

H01C 7/10

H01G 4/30

H01L 41/09

(21)Application number : 04-164182

(71)Applicant : MURATA MFG CO LTD

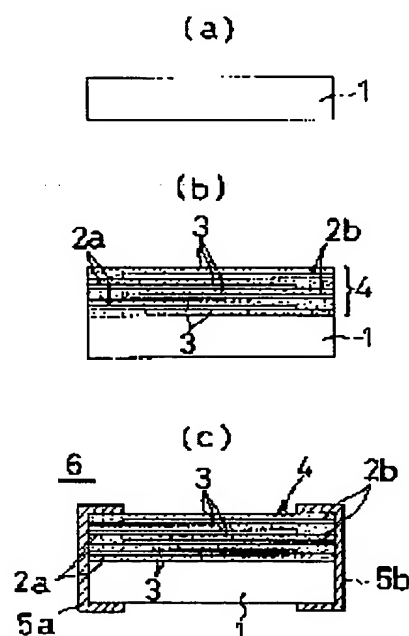
(22)Date of filing : 28.05.1992

(72)Inventor : TAKESHIMA YUTAKA  
ANDO AKIRA  
YONEDA YASUNOBU

## (54) LAMINATED CERAMIC ELECTRONIC COMPONENT

## (57)Abstract:

PURPOSE: To realize a laminated ceramic electronic component lessened in thickness and enhanced in performance.

CONSTITUTION: A ceramic-metal laminate 4 composed of conductor electrodes 2a and 2b formed through a CVD method, an evaporation method, or a sputtering method and ceramic layers 3 laminated through a CVD method is provided onto an SrTiO<sub>3</sub> substrate 1. In succession, outer electrodes 5a and 5b are formed on both the ends of the laminate 4 through dipping or the like, and thus a small laminated ceramic capacitor 6 is obtained.

## LEGAL STATUS

[Date of request for examination] 26.05.1999

[Date of sending the examiner's decision of rejection] 20.02.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-335174

(43)公開日 平成5年(1993)12月17日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 G 4/12	3 4 6			
	3 6 4			
H 0 1 C 7/10				
H 0 1 G 4/30	3 0 1 F	8019-5E		
		9274-4M		
			H 0 1 L 41/08	S

審査請求 未請求 請求項の数 2(全 5 頁) 最終頁に続く

(21)出願番号 特願平4-164182

(22)出願日 平成4年(1992)5月28日

(71)出願人 000006231

株式会社村田製作所

京都府長岡京市天神二丁目26番10号

(72)発明者 竹島 裕

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(72)発明者 安藤 陽

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(72)発明者 米田 康信

京都府長岡京市天神二丁目26番10号 株式会社村田製作所内

(74)代理人 弁理士 中野 雅房

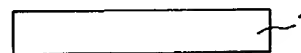
(54)【発明の名称】 積層セラミック電子部品

(57)【要約】

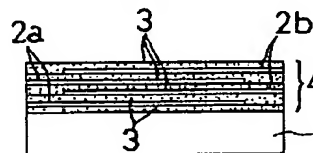
【目的】 積層セラミック電子部品の高性能を実現しながら薄層化し、電子部品を小型化する。

【構成】  $\text{SrTiO}_3$ 基板1の上に、スパッタ法による複数層の導電性電極2a、2bとCVD法による複数層のセラミック層3とからなるセラミック-金属積層体4を形成する。この後、ディッピング等によって積層体4の両端に外部電極5a、5bを形成し、積層セラミックコンデンサ6を得る。

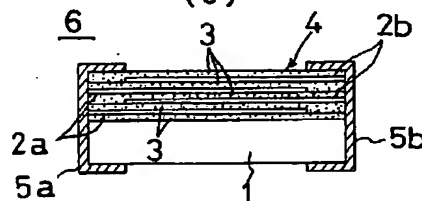
(a)



(b)



(c)



BEST AVAILABLE COPY

## 【特許請求の範囲】

【請求項1】 複数層の導電体電極とCVD法によって形成された複数層のセラミック層とを基板の表面に交互に積層したことを特徴とする積層セラミック電子部品。

【請求項2】 前記セラミック層が誘電体であることを特徴とする請求項1に記載の積層セラミック電子部品。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は積層セラミック電子部品に関する。具体的にいうと、ビデオテープレコーダ等の電子部品に広く用いられている積層セラミックコンデンサ、積層バリスタ、積層圧電素子、多層セラミック基板等の積層セラミック電子部品に関するものである。

【0002】

【従来の技術】 従来の積層セラミックコンデンサの製造方法を説明する（図示せず）。まず、素子寸法よりも大きな所定の大きさにカットされたセラミック生シート上に銀系ペースト等の電極ペースト（内部電極）を印刷し、乾燥させた後、この電極ペーストが印刷されたセラミック生シートを複数枚重ねて圧着させる。ついで、これを1素子の大きさにカットして焼成する。焼成後、内部電極と導通させるようにして素子の表面に電極ペーストを塗布し、これを焼き付けて素子の両端に外部電極を形成し、チップ状の積層セラミックコンデンサを製作している。

【0003】

【発明が解決しようとする課題】 近年、電子部品の分野においては、電子回路の高密度化・高集積化に伴って、積層セラミックコンデンサ等の電子部品の一層の微小化および高性能化が望まれている。したがって、積層セラミックコンデンサにおいて、容量を小さくすることなく微小化するためには、セラミック層（誘電体層）の厚みをできるだけ薄くすることが望まれる。

【0004】 しかしながら、従来のような積層セラミックコンデンサにおいてセラミック層の厚みを薄くしようとすると、種々の問題があった。まず、セラミック層を薄くするためには、セラミック原料粉末粒径を小さくする必要があるが、セラミック原料粉末の粒径の微小化には限度がある。また、セラミック層を薄くすると、内部電極の厚みも薄くする必要があるため、焼成工程において内部電極に電極切れが生じ易い。さらに、セラミック層を薄くすると、焼成時における内部電極の異常成長によりショートが発生したり、セラミック層に発生した孔によって耐圧が低下する等の問題が生じる。このため、従来の積層セラミックコンデンサにあっては、セラミック層の厚みを数 $\mu\text{m}$ より薄くすることは不可能で、積層セラミックコンデンサの微小化及び大容量化には限界があった。

【0005】 本発明は叙上の従来例の欠点に鑑みてなされたものであり、その目的とするところは、積層セラミ

ック電子部品の高性能を実現しながらセラミック層を薄層化することにある。

【0006】

【課題を解決するための手段】 本発明の積層セラミック電子部品は、複数層の導電体電極とCVD法によって形成された複数層のセラミック層とを基板の表面に交互に積層したことを特徴としている。

【0007】 また、上記セラミック層は誘電体であってもよい。

【0008】

【作用】 本発明にあっては、セラミック層がCVD法によって形成されているので、緻密なセラミック層が形成され、しかも、焼成等の加熱工程を経ないので、導電体電極の電極切れ、ショート等の欠陥が生じにくく、電子部品としての高性能化が可能となる。

【0009】 さらに、セラミック層がCVD法によって形成されているので、セラミック層の $1\mu\text{m}$ 以下の薄層化が可能となり、超小型の積層セラミック電子部品が得られる。

【0010】 また、CVD法によるセラミック層の成膜時に使用した基板を除去する必要があるため積層セラミック電子部品の製造工程を簡略化できる。さらに、積層セラミック電子部品中に基板を残しておくことにより、積層セラミック電子部品の機械的強度を向上させることができ、電子部品としての信頼性を増すことができる。

【0011】

【実施例】 図1(a)(b)(c)は、本発明の一実施例による積層セラミックコンデンサの製造方法を示している。図1(a)に示すものは表面が平滑な基板1であって、例えば、 $\text{SrTiO}_3$ 基板等を用いることができる。この基板1の上には、図1(b)に示すように、セラミック層3が形成され、その上に1層目の導電体電極2aが形成され、その上に再びセラミック層3が形成され、さらに2層目の導電体電極2bが形成され、さらにセラミック層3が形成され、その上に3層目の導電体電極2aが形成される。このような工程を繰り返すことにより、基板1の表面には導電体電極2a、2bとセラミック層3とが交互に複数層ずつ積層され、複数層の導電体電極2a、2bと複数層のセラミック層3とからなるセラミック-金属積層体4が形成される。ここで、各セラミック層3はCVD法によって形成され、各導電体電極2a、2bはスパッタ法等により形成されており、各セラミック層3及び各導電体電極2a、2bの厚みは $1\mu\text{m}$ 以下としてある。また、内部電極となる導電体電極2a、2bはマスクを用いてパターン化されており、奇数層目の導電体電極2aと偶数層目の導電体電極2bとは、交互に反対側の端部へ引き出されている。この後、ディッピングやスパッタ等によって両端に外部電極5a、5bを形成すると、奇数層目の導電体電極2aが一方の外部電極5aと導通し、偶数層目の導電体電極2b

が他方の外部電極5bと導通し、図1(c)に示すような小型の積層セラミックコンデンサ6が製作される。

【0012】この結果、基板1の上に積層セラミックコンデンサ6が形成され、基板1によって積層セラミックコンデンサ6の機械的強度を向上させることができ、電子部品としての信頼性が向上する。

【0013】なお、図1では1素子のみの製造工程について説明しているが、複数素子を同時に製作することにより効率的に積層セラミックコンデンサを製造することができる。

【0014】つぎに、本発明をより明確に説明するため、以下に具体的実施例を掲げて説明する。

#### 具体的実施例

図2は積層セラミックコンデンサ6の製作に用いた熱CVD装置7の概略構成図であって、8はCVD用のチャンパー、9は基板1をセットするためのサセプタ、10はO<sub>2</sub>ガスの給送路、11はArキャリアガスの給送路、12はTIP〔チタンイソプロポキシド〕のベッセル、13はPb(C<sub>2</sub>H<sub>5</sub>)<sub>2</sub>のベッセル、14はLa(DPM)〔DPM=C<sub>11</sub>H<sub>19</sub>O<sub>2</sub>〕のベッセルであって、TIP、Pb(C<sub>2</sub>H<sub>5</sub>)<sub>2</sub>及びLa(DPM)の各ベッセル12、13、14はArキャリアガスの給送路11に並列に配置されている。

【0015】積層セラミックコンデンサ6を製作するための基板1として縦横各50mm・厚さ0.2mmのSrTiO<sub>3</sub>基板を用い、このSrTiO<sub>3</sub>基板1を熱CVD装置7のサセプタ9上にセットした。

【0016】ついで、サセプタ9を600℃に加熱した状態で、TIP、Pb(C<sub>2</sub>H<sub>5</sub>)<sub>2</sub>及びLa(DPM)の各ベッセル12、13、14の各バルブ15、16、17を開き、気化したTIP、Pb(C<sub>2</sub>H<sub>5</sub>)<sub>2</sub>及びLa(DPM)の各原料ガスをArキャリアガスに乗せてチャンパー8へ送り、この原料ガスをO<sub>2</sub>ガスと共にSrTiO<sub>3</sub>基板1に吹き付けて反応させ、厚さ約1μmのPLT薄膜18(セラミック層3)を形成した(以下、PLT薄膜形成工程という)。

【0017】次に、PLT薄膜18の上にメタルマスクをセットし、メタルマスクの窓を通してスパッタ法によりPLT薄膜18の上に厚さ約0.5μmのPt膜19a(導電体電極2a)を形成した(以下、Pt膜形成第1工程という)。このようにして形成されたPt膜19aを図3(a)に示す。図3(b)は図3(a)のX部拡大図であって、斜線を施した領域は1素子分に相当する領域を示し、図3(b)に記入されている数字は各部の寸法(単位mm)を示している。

【0018】ついで、再びPLT薄膜形成工程によりPLT薄膜18を約1μm生成させた。

【0019】次に、最上層のPLT薄膜18の上にメタルマスクをセットし、スパッタ法によりPLT薄膜18の上に厚さ約0.5μmのPt膜19b(導電体電極2

b)を形成した(以下、Pt膜形成第2工程という)。図4(a)はこのPt膜19bのパターンを示す。図4(b)は図4(a)のY部拡大図であって、斜線を施した領域は1素子分に相当する領域を示し、図3(b)に記入されている数字は寸法(単位mm)を示している。

【0020】このように、PLT薄膜形成-Pt膜形成第1-PLT薄膜形成-Pt膜形成第2の各工程を300回繰り返す、最後にPLT薄膜形成工程を行なってSrTiO<sub>3</sub>基板1の上にセラミック-金属積層体4を得た。

【0021】その後、図3(b)及び図4(b)の破線C(切り代Ct=0.1mmとした)に沿ってダイシングソーによりセラミック-金属積層体4を素子毎にカットした。1素子ずつにカットしたSrTiO<sub>3</sub>基板1の両端にディッピングによりAgペーストを付け、600℃で焼き付けて外部電極5a、5bを形成した。

【0022】こうして長さ約2mm、幅約1.2mm、厚さ約1.2mmの積層セラミックコンデンサ6を得た。この積層セラミックコンデンサ6の容量を測定したところ4.7μFの値であった。

#### 【0023】抗折強度の測定

つぎに、この積層セラミックコンデンサ6の抗折強度を図5に示すような抗折強度測定装置20を用いて測定した。図5において、21は試料保持台であって、試験体となる積層セラミックコンデンサ6は試料保持台21の溝部22の上で両端を保持され、中央部を加圧ピン23によって加圧される。そして、加圧ピン23の圧力が置き針付きテンションゲージ24によって表示される。この測定に際し、試料保持台21の溝部22の間隔Lは1.4mmとした。

【0024】一方、比較のために上記PLT薄膜形成-Pt膜形成第1-PLT薄膜形成-Pt膜形成第2の各工程を実施例と同様に繰り返してセラミック-金属積層体を得た後、ドライエッチングによってSrTiO<sub>3</sub>基板を除去し、その後1素子毎にカットし、両端に外部電極を焼き付け、基板を有しない比較例の積層セラミックコンデンサを作製した。この積層セラミックコンデンサの寸法は、長さ約2mm、幅約1.2mm、厚さ約0.9mmであった。この比較例の積層セラミックコンデンサの抗折強度を測定した。

【0025】実施例及び比較例の最大荷重及び抗折強度の測定結果を表1に示す。なお、抗折強度は次式により求めた。

$$\sigma = (3PL) / (2\omega t^2)$$

ここで、Pは最大荷重(kgf)であって、試験片が破壊したときのテンションゲージの目盛である。また、Lは下部支点間距離(mm)、ωは試験片の幅(mm)、tは試験片の厚さ(mm)である。

【0026】

【表1】

	最大荷重 (kgf)	抗折強度 (MPa)
実施例	22	280
比較例	7.5	180

【0027】表1によれば、実施例の積層セラミックコンデンサでは、比較例に比較して大幅に抗折強度が大きくなっており、機械的強度が向上している。

【0028】

【発明の効果】本発明によれば、セラミック層及び導電体電極のいずれも緻密な膜が得られ、しかも高温に曝されないで、セラミック層や導電体電極を $1\mu\text{m}$ 以下に薄層化してもセラミック層や導電体電極に欠陥が生じにくく、高性能で超小型（超薄型）の積層セラミック電子部品を得られる。

【0029】また、積層セラミック電子部品中に基板を残しておくことにより、積層セラミック電子部品の機械的強度を向上させることができ、電子部品としての信頼性を増すことができる。さらに、CVD法によるセラミ

【図面の簡単な説明】

【図1】(a) (b) (c) は本発明の一実施例による\*

\* 積層セラミックコンデンサの製造方法を示す断面図である。

【図2】本発明の具体的実施例において用いた熱CVD装置を示す概略構成図である。

【図3】(a) は基板の上に形成されたPt膜（導電体電極）を示す平面図、(b) は(a)のX部拡大図である。

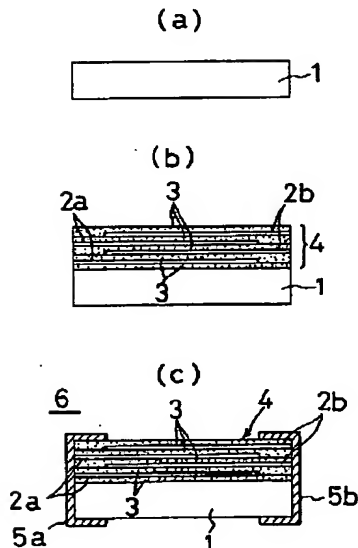
【図4】(a) は基板の上に形成された別なPt膜（導電体電極）を示す平面図、(b) は(a)のY部拡大図である。

【図5】積層セラミックコンデンサの抗折強度を測定するための測定装置を示す概略図である。

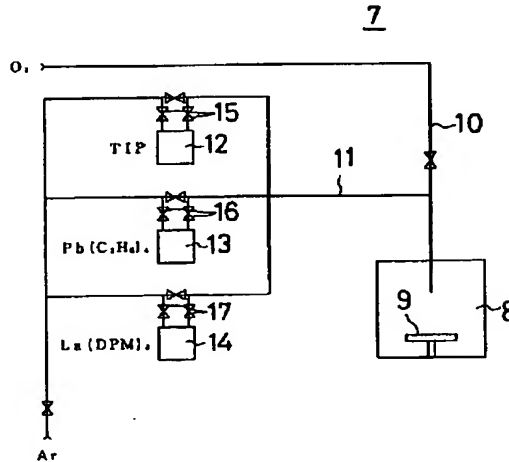
【符号の説明】

- 1 基板
- 2a, 2b 導電体電極
- 3 セラミック層
- 5a, 5b 外部電極
- 7 熱CVD装置

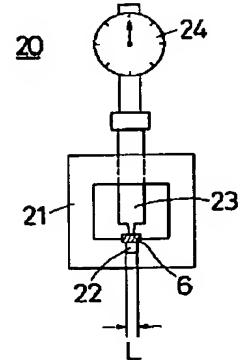
【図1】



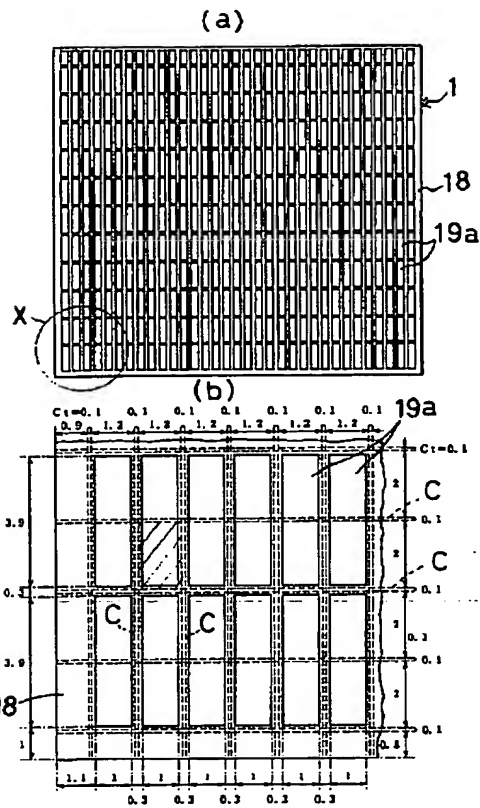
【図2】



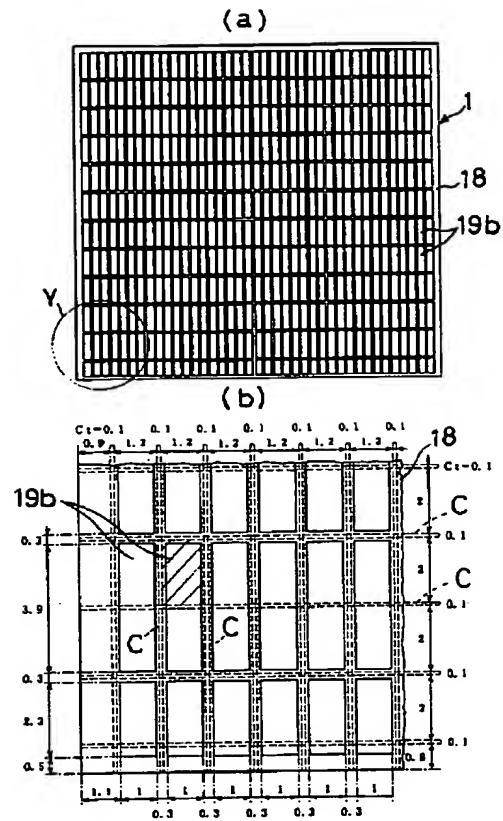
【図5】



【図3】



【図4】



フロントページの続き

(51)Int.Cl.<sup>1</sup>

H01L 41/09

識別記号

弁内整理番号

F I

技術表示箇所